

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244622

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H05K 3/34
B23K 35/26

(21)Application number : 2000-056314

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.03.2000

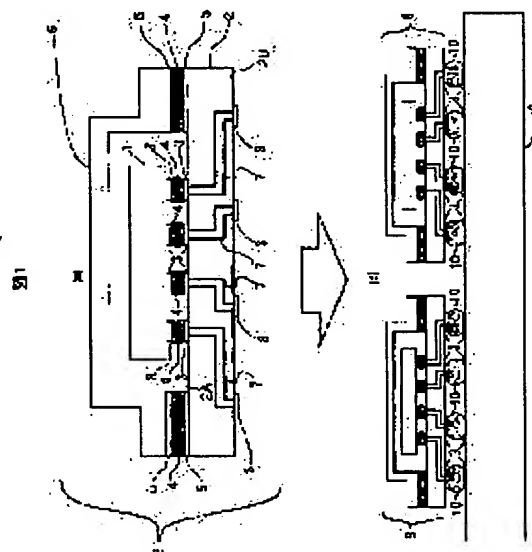
(72)Inventor : HATA SHOHEI
SOGA TASAO
SHIMOKAWA HIDEYOSHI
MURAKAWA TOSHITAKA
SERIZAWA KOJI

(54) ELECTRONIC CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Pb-free electronic circuit device having high reliability by realizing a solder hierarchy of Pb-free solder at a plurality of solder connecting parts soldered at different soldering steps.

SOLUTION: In a previous step of manufacturing an electronic component 8, an Sn-Sb solder alloy is used as a first Pb-free solder 4. In a following step of mounting such an electric component 8 on a board 9, an Sn-Ag solder alloy is used as a second Pb-free solder 10 having a lower melting point than that of the first solder 4. Thus, in the case of reflow connecting in the following step by realizing the hierarchy of the solders, the first solder 4 is not melted. Here, the first solder contains an Sb of a composition range of 1 to 10 wt.%. The second solder 10 contains the Ag of a composition range of 1.5 to 3.5 wt.%, but trace amounts of Cu, Bi, In are added as needed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244622

(P2001-244622A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
H 0 5 K 3/34	5 1 2	H 0 5 K 3/34	5 1 2 C 5 E 3 1 9
	5 0 7		5 0 7 C
B 2 3 K 35/26	3 1 0	B 2 3 K 35/26	3 1 0 A
			3 1 0 C

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2000-56314(P2000-56314)

(22) 出願日 平成12年3月1日(2000.3.1)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 秦 昌平

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 曾我 太佐男

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100078134

弁理士 武 顯次郎

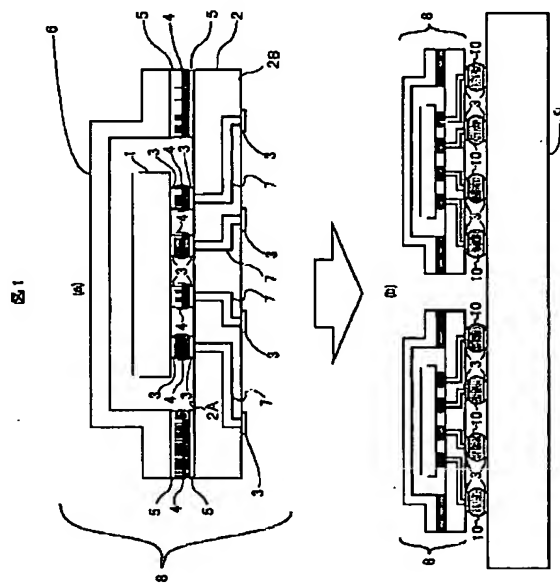
最終頁に続く

(54) 【発明の名称】 電子回路装置

(57) 【要約】

【課題】 異なるはんだ付け工程ではんだ付けがなされた複数のはんだ接続部について、Pbフリーはんだによるはんだ階層化を実現し、高信頼性を有するPbフリーによる電子回路装置を提供する。

【解決手段】 電気部品8の製作を行なう前工程では、第1のPbフリーはんだ4としてSn-Sbはんだ合金を用い、また、かかる電気部品8を基板9に実装するための後工程では、第1のPbフリーはんだ4よりも低融点の第2のPbフリーはんだ10としてSn-Ag系のはんだ合金を用い、はんだの階層化を実現した後工程でのリフロー接続の際に第1のPbフリーはんだ4が溶融しないようにする。ここで、第1のPbフリーはんだとしてSbの組成範囲を1~10wt%とし、また、第2のPbフリーはんだ10では、Agの組成範囲が1.5~3.5wt%とするが、必要に応じて、CuやBi、Inを微量添加する。



(2) 001-244622 (P2001-244622A)

【特許請求の範囲】

【請求項1】 異なるはんだ付け工程ではんだ付けがなされた複数のはんだ接続部を有する電子回路装置において、

先行する第1のはんだ付け工程ではんだ付けがなされた該はんだ接続部のはんだが、第1のPbフリーはんだとしてのSn、Sb及び不可避不純物からなるはんだ合金であって、

該第1のはんだ付け工程に続く第2のはんだ付け工程ではんだ付けがなされた該はんだ接続部のはんだが、第1のPbフリーはんだよりも融点が高い第2のPbフリーはんだとしてのSn、Ag及び不可避不純物からなるSn-Ag系のはんだ合金であることを特徴とする電子回路装置。

【請求項2】 請求項1において、前記第1のPbフリーはんだは、前記Sbの組成範囲を1～10wt%とするはんだ合金であることを特徴とする電子回路装置。

【請求項3】 請求項1において、前記第2のPbフリーはんだは、前記Agの組成範囲を1.5～3.5wt%とすることを特徴とする電子回路装置。

【請求項4】 請求項1または2において、前記第2のPbフリーはんだに0～0.8wt%の範囲でCuを添加したことを特徴とする電子回路装置。

【請求項5】 請求項1～4のいずれか1つにおいて、前記第2のPbフリーはんだは、InあるいはBiを添加したはんだ合金であることを特徴とする電子回路装置。

【請求項6】 請求項5において、前記Biの組成範囲は0～2wt%であり、前記Inの組成範囲が0～4wt%であることを特徴とする電子回路装置。

【請求項7】 請求項1～5のいずれか1つにおいて、前記第2のはんだ付け工程に後続する第3のはんだ付け工程ではんだ付けがなされたはんだ接続部のはんだは、第3のPbフリーはんだとしてのSn、Bi、Ag及び不可避不純物からなるはんだ合金であることを特徴とする電子回路装置。

【請求項8】 請求項7において、前記第3のPbフリーはんだでの前記Biの組成範囲を40～60wt%とし、前記第3のPbフリーはんだで

の前記Agの組成範囲を0.1～3wt%とすることを特徴とする電子回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Pbフリーはんだを用いて基板上に電子部品を接続してなる電子回路装置に係り、特に、融点異なるはんだを用いた電子回路装置に関する。

【0002】

【従来の技術】電子回路装置の今日の製造では、電子部品の基板への実装に、異なる融点を有する複数種類のはんだ合金が使用されている場合が多い。これは、電子回路装置での部品数の増大やモジュール化により、1種類のはんだによる一括接続で電子回路装置を構成することが困難になっているためである。具体的には、前工程であるIC（集積回路）などの電子部品内部のはんだ付けでは、高融点のはんだが用いられ、後工程であるICと基板の接続では、低融点のはんだでリフローはんだ付け（はんだ付けする夫々の部品のはんだ付け部に予めはんだを設け、これらのはんだを突き合わせて加熱溶融させることにより行なうはんだ付け）するなどの方法により、はんだ付けがなされる。これは、既に前工程ではんだ付けがなされた電子部品と基板とをリフローはんだ付けによって接続する場合（後工程）、加熱炉によってこれら電子部品と基板全体とを加熱するため、前工程で既にはんだ付けされた電子部品内部の接続部がこの後工程での加熱によって再溶融し、ショートや断線などの接続不良を引き起こさないようにするためである。このように溶融温度の異なるはんだを用いて実装することを、はんだの階層化という。

【0003】従って、従来では、電子部品内部ではんだ付けには、融点300℃以上の高融点のPb（鉛）はんだが、電子部品と基板との接続には、融点183℃のPb-Sn（錫）共晶はんだが多く使用されてきた。しかし、廃棄された電子機器からPbが溶出して土壌や地下水を汚染し、人体に悪影響を与えるという環境問題が懸念されており、はんだのPbフリー化が研究されている。

【0004】次の表1は公知のPbフリーはんだ合金をまとめたものである。

【0005】

【表1】

(3) 001-244622 (P2001-244622A)

【表 1】

種類	組成 (wt%)	融点 (°C)	20°Cでの機械的性質		
			引張強さ (kg/mm ²)	伸び (%)	硬さ (HB)
Pb-Sn はんだ	Pb-10Sn (高Pbはんだ)	275~302	3	50	1
	Pb-63Sn (共晶はんだ)	183	4	25	5
Pbフリー はんだ	Au-20Sn	278	29	-	118
	Sn-5Sb	235~240	4.1	38	13
	Sn	232	2.8	65	14
	Sn-3.5Ag	221	2	73	40

なお、比較のために、Pb-Snはんだについても記載した。

【0006】上記の表1において、Pbフリーはんだの中には、Au(金)-20Snはんだ(Snの組成範囲が20wt(重量)%であって、残りがAuと不可避免不純物であるはんだ合金。以下同様)の融点が278°Cと最も高く、Sn-Sb(アンチモン)はんだの融点が235~240°C、Sn-3.5Ag(銀)はんだの融点が221°Cとなる。Au-20Snはんだ以外のPbフリーはんだはSnを主成分とし、230°C前後の融点のものが多くわかる。従って、これらのPbフリーはんだでは、互いに融点が近く、はんだの階層化は困難と考えられるため、これまではんだの階層化技術については十分に検討されてこなかった。

【0007】このように、Pbフリーはんだによるはんだの階層化が困難と考えられてきたのは、一般に、はんだ付けははんだの融点よりも20~40°C高い温度で行なわれてきたためである。以下、その理由を説明する。

【0008】リフローはんだ付けによって接続する場合(以下、これをリフロー接続という)、リフロー炉内の場所による温度差や基板に搭載される部品の熱容量に依存して基板内の温度にばらつきが生ずる。従来の赤外線加熱炉においては、後述するように、炉内の温度差が20°C以上あるため、リフロー接続に用いるはんだの融点よりも最低20°C高い温度で加熱しなければならなかった。このように、リフロー接続するための加熱温度を、リフロー温度という。

【0009】上記のように、リフロー温度をはんだの融点よりも数十度高く設定するもう1つの理由は、一般に、温度が高い程はんだの濡れ性が良好となるためである。以下、はんだの濡れ性の温度依存性について説明する。

【0010】はんだの濡れ性を評価する手法の1つとして、メニスコグラフ試験がある。メニスコグラフ試験とは、高精度の荷重測定器に金属片試料を固定し、試料の一部を溶融はんだ中に浸漬した時の荷重変化を測定する試験である。金属片を溶融したはんだを浸漬すると、その初期には、溶融したはんだ液がこの金属片を液外にはじき出そうとする力(反発力)が発生し、時間が経過するにつれて溶融はんだが金属片の表面に濡れ広がる。この濡れの広がりとともに、金属片をはんだ中に引き込む

力(引き込み力)が発生する。金属片を浸漬開始した時点から金属片に加わる力が反発力から引き込み力に変化する時点までを濡れ時間とすると、濡れ時間が短い程濡れ性が良いと言える。

【0011】図11は最も代表的なはんだ合金であるPb-Sn共晶はんだのCu(銅)金属片に対する濡れ時間の測定結果を示す図である。ここでは、フラックスとして、ハロゲン無添加でロジンとアルコールの溶液を使用した。

【0012】同図において、溶融はんだの温度が210°Cのときには、濡れ時間が9秒程度であるが、温度の上昇とともに濡れ時間が減少しており、濡れ性が向上することがわかる。従って、より高い温度でリフロー接続の方がより良好な濡れ性を得ることができることになる。

【0013】以上の理由により、基板全域で良好なリフロー接続を得るためには、はんだ付け温度をはんだの融点よりも20~40°C高くする必要があると考えられてきたため、Pbフリーはんだによるはんだの階層化は困難とされてきた。

【0014】

【発明が解決しようとする課題】しかし、Pbフリーはんだによる電子回路装置の製作には、Pbフリーはんだによる階層化技術が必須である。このため、従来では、この階層化を実現するための手法の1つとして、融点の異なる各種Pbフリーはんだ合金の開発が行なわれてきた。

【0015】その一例として、特開平10-193169号公報には、融点をさらに下げるとともにコストの上昇を抑え、良好な濡れ性と、室温はもとより高温下においても、良好な機械的性質とを兼ね備えたSn-Ag系のPbフリーはんだ合金が開示されている。これによると、合金元素としてCu(0.1~2mass%)、Bi(ビスマス:0.1~14mass%)、In(インジウム:0.1~10mass%)を添加することではんだ合金の溶融温度が160~205°Cとなり、Sn-3.5Agの共晶温度221°Cに比べて低くなっている。

【0016】このように、合金元素の添加によってはんだの融点そのものを低下させることは、階層化を実現する上で有効な方法であるが、融点を下げる効果が大いInやBiは希少金属資源であり、Inは高価であつ

(4) 001-244622 (P2001-244622A)

て、BiはCuやPbの副産物として生産されるため、価格変動が激しいことが予測される。従って、融点が高いはんだを生産する場合、はんだのコストを抑え、安定したコストで生産することは非常に難しいものとなる。

【0017】本発明はかかる問題に鑑みてなされたものであって、その目的は、低コストのPbフリーはんだ合金によるはんだの階層化を実現し、高い接続信頼性を有する電子回路装置を提供することにある。

【0018】

【課題を解決するための手段】必要とする低融点のはんだのコストを抑え、安定して生産に使用するためには、InやBiなどの添加量をさらに少なくすることが望ましい。即ち、大量生産に適する低コストのPbフリーはんだによるはんだの階層化を実現するためには、はんだ合金の開発のみならず、従来常識とされてきたはんだ付け条件（はんだの融点よりも20～40℃高いリフロー温度）を見直し、かつ温度のばらつきが少ないはんだ付け方法を導入することが必要である。

【0019】ここで、はんだ付け条件を見直してみると、後述するように、実際には、融点よりも20～40℃もリフロー温度を高くする必要はないことがわかった。

【0020】図2はSn-3Ag-0.7Cuはんだペーストの濡れ広がり率の測定結果を示す図である。フラックスは通常のRMAタイプである。Sn-3Ag-0.7Cuはんだペーストの融点は218℃であるが、図2で明らかなように、温度が220℃と229℃とで濡れ広がり率に変化は見られない。

【0021】また、図3は上記のSn-3Ag-0.7Cuはんだペーストを用いて基板にCuピンを接続し、その引き抜き強度を測定した結果を示す図であるが、この図3から明らかなように、温度による強度の違いは見られない。

【0022】以上のことから、Sn-3Ag-0.7Cuはんだペーストでは、その融点よりもわずかに高い220℃のはんだ付け温度が確保されればよいと言える。

【0023】従来、習慣的に使用するはんだの融点よりも20～40℃高い温度ではんだ付けが行なわれてきたが、はんだペーストに含まれるフラックスの種類にもよるが、この融点よりもわずかに高い温度ではんだ付けは可能であることがわかった。従って、はんだの濡れ性やはんだ付け時の基板内の温度差を考慮し、その最低の温度部ではんだの融点よりもわずかも高い温度が確保できれば、はんだの融点を下げるための元素の添加量を少なくし、低コストのPbフリーはんだでリフロー接続を行なうことができる。

【0024】そこで、上記目的を達成するために、本発明は、異なるはんだ付け工程ではんだ付けがなされた複数のはんだ接続部を有する電子回路装置であって、先行する第1のはんだ付け工程ではんだ付けがなされたはんだ

接続部のはんだを、第1のPbフリーはんだとしてのSn-Sbはんだ合金とし、これに続く第2のはんだ付け工程ではんだ付けがなされたはんだ接続部のはんだを、この第1のPbフリーはんだよりも融点が高い第2のPbフリーはんだとしてのSn-Ag系のはんだ合金とするものである。

【0025】ここで、第1のPbフリーはんだでのSbの組成範囲が1～10wt%であって、残りがSnと不可避不純物とからなり、電子部品と基板との接続部には、第2のPbフリーはんだでのAgの組成範囲が1.5～3.5wt%であって、残りがSnと不可避不純物とからなるものであるが、この第2のPbフリーはんだでは、Cu、Bi、Inをコストに影響が出ないように微量添加することにより、温度による伸び特性を良好に保ちながら、融点を下げることができる。ここで、Cuを0～0.8wt%添加したSn-Ag-Cuはんだ合金、あるいはこのSn-Ag-Cu合金に必要な応じて0～2wt%のBiあるいは0～4wt%のInを添加したはんだ合金を使用する。

【0026】このような構成により、炉内温度差の少ない強制対流型のリフロー炉を使用し、第2のPbフリーはんだのリフロー温度を従来に比べて融点に近い温度に設定することにより、第1のPbフリーはんだの溶融を防いで第2のPbフリーはんだによるリフロー接続を行なうことができ、高い接続信頼性を有する電子回路装置を提供することができる。

【0027】

【発明の実施の形態】本発明の実施形態を図面を用いて説明する。図1は本発明による電子回路装置の第1の実施形態とその製造過程を示す図であって、1は半導体素子、2はパッケージ基板、2Aは内面、2Bは外面、3はメタライズ、4はSn-Sbはんだ、5は封止メタライズ、6はパッケージ、7は導体、8は電子部品、9は基板、10はSn-Ag-Cuはんだである。

【0028】この実施形態に対するはんだ付け工程を前工程と後工程とに区分し、図1(a)はこの第1の実施形態に対するはんだ付け工程の前工程で得られる電子部品8を示すものであり、また、図1(b)はかかる電子部品8などを基板上に実装する後工程で得られるこの第1の実施形態の電子回路装置を示すものである。

【0029】図1(a)に示す電子部品8は半導体素子1がパッケージ化されたものであって、パッケージ基板2上に半導体素子1が搭載され、この半導体素子1がパッケージ6によって封止されている。パッケージ基板2では、その内面2Aに設けられたメタライズ3と外面2Bに設けられたメタライズ3との間がスルーホールに充填された導体7によって電氣的に接続されており、また、その内面2Aのメタライズ3と半導体素子1に設けられたメタライズ3とがPbフリーはんだであるSn-Sbはんだ4によってはんだ付けされている。さらに、

(5) 001-244622 (P2001-244622A)

パッケージ6の周辺部に封止メタライズ5が設けられ、これに対向してパッケージ基板2の内面2Aに設けられた封止メタライズ5とSn-Sbはんだ4によってはんだ付けされている。

【0030】Sn-Sbはんだ4の融点は235～240℃であり、半導体素子1とパッケージ基板2とが、また、パッケージ6とパッケージ基板2とがSn-Sbはんだ4の融点以上の所定の温度、例えば、280℃などの温度でリフロー接続され、電子部品8が作製される。

【0031】また、図1(b)に示す後工程では、図1(a)に示す電子部品8がムライトあるいはガラスセラミックなどの基板9上に載置され、この電子部品8のパッケージ基板2の外面2Bでのメタライズ3(図1(a))と基板9の表面に設けられた回路配線のメタライズ3とがPbフリーはんだとしてのSn-Ag-Cuはんだ10でリフロー接続され、電子回路装置が形成される。なお、かかる電子部品8のほかにはコンデンサなどの部品も基板9上に実装されるが、かかる部品もSn-Ag-Cuはんだ10を用いてリフロー接続される。

【0032】図1(a)に示す電子部品8の製造に際しては、従来では、リフロー接続のために、300℃以上の高融点のPbはんだが使用されてきた。その理由の1つは、高融点のPbはんだは、後工程で用いるPb-Snはんだに比べて100℃以上融点が高く、後工程のはんだ付けて溶融しないためである。

【0033】もう1つの理由は、高融点のPbはんだは軟質であり、優れた応力緩和効果を有するからである。Siなどからなる半導体素子1を電子部品8内の基板2上にリフロー接続する場合、基板2とSiとの熱膨張差によって発生する応力をはんだの塑性変形によって緩和させなければならない。これは、電子回路装置の稼働、停止に伴う発熱や冷却により、熱膨張や収縮による歪みはんだ接続部に蓄積され、時にはそこが破断に至るためである。はんだの融点だけに着目すれば、高融点のPbはんだの代替、即ち、Pbフリーはんだとしては、Au-20Snはんだが最も適している。しかし、Au-20Snはんだは、上記の表1から明らかなように、非常に硬いはんだであり、塑性変形による応力緩和効果はほとんど期待できない。

【0034】従って、高融点のPbはんだに比べてかなり融点は低い、Au-20Snはんだに比べて軟質であるSn-Sbはんだの方が、Au-20Snはんだに比べ、高融点のPbはんだの代替材料として有望である。この実施形態でのSn-Sbはんだ4の組成は、例えば、Sbの組成範囲が1～10wt%であり、残りがSnと不可避不純物である。

【0035】また、図1(b)に示す電子回路装置の後工程では、電子部品8を基板9上に位置決めして仮搭載し、強制対流型のリフロー炉を用いて、Sn-Ag-Cuはんだ10により、リフロー接続する。従来、このよ

うな電子部品8と基板9の接続には、Pb-Sn共晶はんだが多く使用されてきた。この第1の実施形態では、Pb-Sn共晶はんだの代替、即ち、Pbフリーはんだとして、Sn-Ag系を使用するものであるが、これは、Sn-Ag系はんだは接続信頼性に優れ、これまでも使用実績があり、融点もSn-Sbはんだに比べて10～20℃低く、後述するように、前工程で用いてSn-Sbはんだ4との階層化が可能であるためである。

【0036】なお、この第1の実施形態において、Sn-Ag-Cuはんだ10の組成は、Agの組成範囲を1.5～3.5wt%、Cuの組成範囲を0～0.8wt%とし、残りはSnと不可避不純物である。一例として、Sn-Ag-Cu三元共晶合金で融点が218℃のSn-3Ag-0.7Cuが挙げられる。

【0037】次に、このSn-3Ag-0.7Cuはんだ10とSn-Sbはんだ4とで階層化が可能な理由を説明する。

【0038】まず、Sn-3Ag-0.7Cuはんだペーストで、リフローに必要な温度を調査した。図2はその調査によって得られたSn-3Ag-0.7Cuはんだペーストでの濡れ広がり率を評価した結果を示す図である。ここで使用したはんだペーストは通常のRMAタイプであって、フラックスの含有量が10～11%、ハロゲン量が0.05%程度のものである。濡れ広がり率を比較すると、220℃～229℃でほとんど変化が見られなかった。

【0039】また、図3はCuにNi/Auメッキを施したピンをSn-3Ag-0.7Cuはんだペーストで基板にリフロー接続し、ピンの引き抜き強度を測定した結果を示す図である。この結果から明らかなように、引き抜き強度もリフロー条件の220℃～229℃で変化が見られなかった。

【0040】以上のことから、Sn-3Ag-0.7Cuはんだペーストをリフローする場合、基板内での最低温度が220℃以上になるように設定すればよいことがわかった。

【0041】次に、リフロー接続時に基板内での最低温度を220℃以上を確保するためのリフロー炉内の温度むらの影響を調査した。図4は300mm×300mmの基板の中央と端部に熱電対を設置し、従来使用されている赤外線加熱炉と強制対流型リフロー炉とでの基板内の温度むらを測定した結果を示す図であり、A1は従来使用されている赤外線加熱炉での基板の端部での温度を、A2は同じく基板の中央での温度を、ΔAはこれら基板の端部と中央とでの温度差を夫々示し、B1は強制対流型リフロー炉での基板の端部での温度を、B2は同じく基板の中央での温度を、ΔBはこれら基板の端部と中央とでの温度差を夫々示している。

【0042】図4において、赤外線加熱炉を用いたときの基板内の温度差ΔAは最大で25～35℃となる。一

(6) 001-244622 (P 2001-244622A)

方、この実施形態の製造に際して使用する強制対流型のリフロー炉では、上記と同じサイズの基板において、この基板内の温度差 ΔB が $10\sim 15^{\circ}\text{C}$ となり、従来使用してきた赤外線加熱炉よりも設定温度を低くすることができることがわかった。

【0043】即ち、図1(b)に示す後工程では、強制対流型リフロー炉を用い、リフロー温度を 235°C に設定することにより、基板9内で温度が最も低いところでも 220°C の温度を確保することができ、融点が 218°C のSn-3Ag-0.7Cuはんだ10で良好なリフロー接続が可能となる。また、Sn-Sbはんだ4の融点は $235\sim 240^{\circ}\text{C}$ であるので、後工程でのこのリフローはんだ付け工程で再熔融することはない。

【0044】以上のようにして、Sn-Sbはんだ4の接続部を再熔融させることなく、Sn-Ag-Cuはんだ10でリフロー接続させることが可能となり、はんだの階層化が可能となる。

【0045】ところで、基板に接続する部品の熱容量が大きく、基板内での温度差が $10\sim 15^{\circ}\text{C}$ 以上になる場合には、融点がより低いはんだを使用する必要がある。しかし、このような場合には、Sn-3Ag-0.7CuにBiあるいはInを少量添加することにより、はんだの融点を下げることができる。

【0046】図5(a)はSn-3Ag-0.7CuにBiを添加した時の、また、図5(b)はSn-3Ag-0.7CuにInを添加した時の夫々はんだ合金の融点の変化を調査した結果を示す図である。

【0047】図5(a)、(b)から明らかなように、Biの場合には、2%の添加で液相線温度が 216°C となり、また、Inの場合には、4%の添加で液相線温度が 214°C まで低下する。このように、Bi及びInの添加量を数%程度に抑えることにより、はんだの融点を低下させてはんだを完全熔融させ、健全なリフロー接続を得ることができる。In、Biの添加ははんだのコスト上昇を招くおそれがあるが、この実施形態のように数%程度の添加であれば、はんだのコスト上昇を小さく抑えることができる。

【0048】逆に、基板に接続する部品の熱容量が小さく、基板内での温度差を 10°C 程度に抑えることができる場合には、Pbフリーはんだ10としてのAgを3.5wt%含むSn-3.5AgはんだとPbフリーはんだ4としてのSn-Sbはんだとでの階層化も可能となる。これは、Sn-3.5Agはんだの共晶温度が 221°C であって、リフロー温度を 235°C とすれば、最低温度部でも 225°C を確保でき、全ての接続部のSn-3.5Agはんだを熔融させることができるからである。

【0049】はんだ接続部の信頼性に及ぼすBi、Inの影響については、この信頼性に最も大きな影響を与えるはんだ合金の伸びから評価できる。これは、電子回路

装置の発熱、冷却に伴って部材が膨張収縮することにより、はんだ接続部に応力が発生するが、はんだ合金が塑性変形することにより、この応力を緩和させているためである。

【0050】図6(a)は、雰囲気温度を 20°C として、Sn-3Ag-0.7CuにBiを添加したときの、また、図6(b)は同じくSn-3Ag-0.7CuにInを添加したときの夫々はんだ合金の伸びを調査した結果を示す図である。

【0051】図6(a)、(b)から明らかなように、Biの場合、添加量が2%までははんだ合金の伸びの低下は認められないし、また、Inの場合には、添加しないときの伸びが25%であるが、4%添加しても、約23%の伸びがあった。従って、Biは2%まで添加しても、また、Inは4%まで添加しても、接続信頼性は損なわれない。また、BiとInとの両元素を夫々2%、4%づつ添加しても、機械的性質はBiを2%添加したはんだ合金と同等であり、さらに、In添加の分だけ はんだ合金の融点を下げることができる。

【0052】以上のことから、Bi、Inの第2のPbフリーはんだへの添加量としては、Biについては0~2%、Inについては0~4%とするものであり、この範囲では、機械的特性を良好に保ちながら、融点を下げることができる。

【0053】以上のようにして、はんだ付け部の接続信頼性を損なうことなく、低コストのPbフリーはんだによるはんだの階層化を実現でき、高信頼度の電子回路装置を提供することができる。

【0054】なお、上記Pbフリーはんだ合金には、はんだ合金作製時に坩堝などから混入する不純物や、はんだ合金作製時に使用される母合金中の不純物や、はんだの表面酸化により混入する酸素や、吸着により混入されるC、N、Hなどの元素などが不可避不純物として含まれる。以上のことは、他の実施形態についても同様である。

【0055】図7は本発明による電子回路装置の第2の実施形態を示す構成図であって、11は電子部品、12はリード、13は電子部品、14は基板、15は複合電子部品、16はSn-Sbはんだ、17はリード、18は電子部品、19はリード、20は基板であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0056】この実施形態においても、はんだ付け工程を前工程と後工程とに区分しており、図7(b)はこの実施形態の電子回路装置とそのはんだ付けの後工程を示し、図7(a)は図7(b)に示す電子回路装置に実装する複合電子部品15とそのはんだ付け工程(前工程)を示すものである。

【0057】まず、図7(a)において、複合電子部品15は、セラミックあるいは耐熱性有機材料などからな

(7) 001-244622 (P2001-244622A)

る基板14に単品としてのLSIなどの電子部品11やLSIなどの電子部品13などが搭載されたものである。基板14には、配線が施されており、この配線のメタライズ3が、電子部品11が有するリード12とSn-Sbはんだ4によって接続され、また、電子部品13が有するメタライズ3とSn-Sbはんだ4によって接続されている。かかる接続は、リフローはんだ付けによってなされている。

【0058】図7(b)に示す後工程では、まず、上記の前工程で得られた複合電子部品15がレーザなどを用いてリード17とSn-Sbはんだ16で接続され、次に、複合電子部品15が接続されたリード17を基板20上の所定の位置に形成してメタライズ3上にSn-Ag-Cuはんだ10を介して搭載し、また、基板20上の別の部分には、例えば、単品としてのLSIなどの電子部品18のリード19がメタライズ3上にSn-Ag-Cuはんだ10を介して搭載し、強制対流型のリフロー炉を用いてリフロー接続する。これにより、図示する電子回路装置が得られる。

【0059】ここで、Sn-Sbはんだ4やSn-Ag-Cuはんだ10の組成は図1に示した第1の実施形態と同様であり、また、後工程で用いるSn-Ag-Cuはんだ10には、リフロー温度を下げるために、必要に応じて、上記の範囲でBiあるいはInを添加することができ、例えば、一例として、Sn-Ag-Cuはんだ10をSn-3Ag-0.7Cu-1Bi-2Inとすることができる。

【0060】図8は本発明による電子回路装置の第3の実施形態を示す構成図であって、21はSi半導体、22はMo(モリブデン)基板、23はアルミナ基板、24はSn-Agはんだ、25はCu水冷ジャケット、26はメタライズ、27はワイヤであり、4は先の実施形態と同様のSn-Sbはんだである。この実施形態はパワーモジュールと呼ばれる電子回路装置の一例である。

【0061】同図において、前工程として、Si半導体素子21と応力緩和材としてのMo基板22とをSn-Sbはんだ4でリフロー接続し、次に、後工程として、このSi半導体素子21が接続されたMo基板22とアルミナ基板23、アルミナ基板23とNiメッキなどが施されたCu水冷ジャケット25が夫々、Sn-Agはんだ24により、リフロー接続されている。そして、Si半導体素子21に設けられたメタライズ26とCu水冷ジャケット25に設けられたメタライズ26との間、ワイヤ27によってボンディングされている。

【0062】ここで、Sn-Sbはんだ4とSn-Agはんだ24の組成は、先の実施形態と同様であるが、また、Sn-Agはんだ24には、必要に応じて、先の実施形態と同様の範囲でCu、Bi、Inを添加し、その融点を下げるようにすることができる。

【0063】かかる構造の第3の実施形態では、Si半

導体素子21とCu水冷ジャケット25との熱膨張係数差によって発生する残留応力を低減することができ、発熱量の大きいSi半導体素子21とMo基板22との接続部に高融点のSn-Sbはんだ4を使用していることにより、優れた耐熱性、接続信頼性を有するパワーモジュールが得られることになる。

【0064】図9は本発明による電子回路装置の第4の実施形態を示す構成図であって、28は電子部品、29はリード、30はSn-Agはんだ、31はSn-Sbはんだであり、図7に対応する部分には同一符号を付けて重複する説明を省略する。

【0065】先の各実施形態では、前工程でSn-Sbはんだのリフロー接続を行ない、それに続く後工程でSn-Agはんだ(必要に応じて、上記の範囲でCu、Bi、Inを添加)のリフロー接続を行なうリフロー・リフロープロセスによるはんだ付け工程が採られていたが、この第4の実施形態では、かかるリフロー・リフロープロセスに限定されるものではない。即ち、後工程となるSn-Agはんだによる接続に、フロープロセス(はんだ付け部を溶融したはんだに接触または浸漬させてはんだ付けを行なうプロセス)を適用することも可能であり、この第4の実施形態では、後工程となるSn-Agはんだによる接続をフロー接続(フローはんだ付けによる接続)としたものである。

【0066】図9において、前工程として、LSIなどの電子部品18のリード19と基板20のメタライズ3とをSn-Sbはんだ31でリフロー接続し、次に、後工程として、別の電子部品28のリード29を基板20に設けられたスルーホールに差し込み、基板20の裏面より、このリード29をSn-Agはんだ30で基板20の裏面のメタライズ3にフロー接続するものである。

【0067】かかるフロープロセスでは、基板20の裏面側からSn-Agはんだ30の噴流を基板20に吹き付けることにより、スルーホール内にもこのはんだ30が流れ込み、リード29と基板20とが接続されることになる。このとき、基板20に厚みがあるため、その裏面と表面とでは温度差が生じる。従って、表面側にリフロー接続された電子部品18とその接続部のはんだ31とでの温度は噴流はんだの温度よりも低くなるため、Sn-Sbはんだ31による接続部を再溶融させることはなく、フロー接続することができる。

【0068】なお、この実施形態においても、Sn-Sbはんだ31とSn-Agはんだ30との組成は、先の実施形態と同様である。

【0069】図10は本発明による電子回路装置の第5の実施形態を示す構成図であって、32は基板、33は差込ピン、34は高融点はんだ、35は複合電子部品、36はプリント基板、37はSn-Ag-Biはんだであり、前出図面に対応する部分には同一符号を付けて重複する説明を省略する。

(8) 001-244622 (P2001-244622A)

【0070】この第5の実施形態は、第1、第2の工程（上記前工程と後工程）で第1、第2のPbフリーはんだを用いた先の各実施形態の電子回路装置に、さらに、第3のPbフリーはんだを用いて形成された電子回路装置に関するものである。ここでは、図10(a)を第1の工程、図10(b)を第2の工程、図10(c)を第3の工程として、3つの工程を示している。

【0071】図10(a)に示す第1の工程は、図1(a)の前工程に相当するものであって、第1のPbフリーはんだとしてのSn-Sbはんだ4を用いてパッケージ基板2に半導体素子1とパッケージ6とをリフロー接続し、半導体素子をパッケージ内に封止した電子部品8を形成するものである。

【0072】図10(b)に示す第2の工程は、この第1の工程で形成された電子部品8などを基板32に実装する工程である。この基板32には、予め、所定個数の導体7が充填されたスルーホールが形成されており、これら導体7の一方の端部が基板32の表面32Aに設けられたメタライズ3に接続され、これら導体7の他方の端部が基板32の裏面32Bに設けられているメタライズ3に接続されていて、この裏面32B側のメタライズ3に差込ピン33がAu-20SnあるいはAgろうなどの高融点はんだ34で接続固定されている。かかる構成の基板32の表面32A側の上記メタライズ3と電子部品8のパッケージ基板2の外周2B側のメタライズ3とが、図1(b)の後工程と同様にして、第2のPbフリーはんだとしてのSn-Ag-Cuはんだ10を用いてリフロー接続される。これにより、図示する構造の複合電子部品35が得られる。

【0073】図10(c)に示す第3の工程は、図10(b)で示した複合電子部品35などをプリント基板36に実装するものである。プリント基板36には、予めスルーホールが設けられており、また、プリント基板36の裏面36Bのスルーホールの周りにメタライズ3が設けられている。このプリント基板36に複合電子部品35を実装する場合には、この複合電子部品35の差込ピン33をプリント基板36のスルーホールにその表面36A側から挿入し、その裏面36B側からメタライズ3が設けられている部分に第3のPbフリーはんだであるSn-Ag-Biはんだ37の噴流を吹き付ける。これにより、このSn-Ag-Biはんだ37はスルーホールの内部にも流れ込み、差込ピン33がプリント基板36にフロー接続される。

【0074】この第3のPbフリーはんだのSn-Ag-Biはんだ37は、その組成が、Biの組成範囲を40～60wt%、Agの組成範囲を0.1～3wt%とし、残りをSnと不可避不純物となるものであるが、例えば、組成をSn-1Ag-57Biとすると、融点が137～138℃であり、上記の第1、第2のPbフリーはんだに比べて低い融点となる。従って、Sn-Ag

-Biはんだ37を用いたフロープロセスでは、第1、第2のPbフリーはんだを再溶融させることなく、はんだ付けすることができる。

【0075】なお、Sn-Sbはんだ4とSn-Ag-Cuはんだ10の組成は、先の実施形態と同様である。

【0076】また、この第5の実施形態では、複合電子部品35の基板32に実装する電子部品を、図1(a)に示した電子部品8としたが、基板の裏面側のメタライズにスルーホールを通して導体を導く構成の電子部品であれば、図7(a)や図8、図9に示す電子部品であってもよい。

【0077】

【発明の効果】以上説明したように、本発明によれば、高融点のPbフリーはんだであるSn-Sbはんだとそれよりも融点が高いSn-Ag（必要に応じてCu、Bi、Inを添加）はんだとを用いて、はんだの階層化が可能となり、高い接続信頼性を有する電子回路装置を提供することができる。これに、さらに、Sn-Ag-Biはんだを使用することにより、3段階のはんだの階層化が可能となる。

【図面の簡単な説明】

【図1】本発明による電子回路装置の第1の実施形態を示す構成図である。

【図2】Sn-3Ag-0.7Cuはんだペーストの濡れ広がり率を測定した結果を示す図である。

【図3】Sn-3Ag-0.7Cuはんだペーストでリフロー接続したNi/Auメッキを施したCuピンの引き抜き強度を測定した結果を示す図である。

【図4】従来型の赤外線加熱炉と強制対流型の加熱炉とでの基板内の温度のばらつきを調査した結果を示す図である。

【図5】Sn-3Ag-0.7CuはんだへのBiまたはInの添加量に対する液相線温度及び固相線温度(℃)の変化を示す図である。

【図6】Sn-3Ag-0.7CuはんだへのBiまたはInの添加量に対する20℃における伸び(%)の変化を示す図である。

【図7】本発明による電子回路装置の第2の実施形態を示す構成図である。

【図8】本発明による電子回路装置の第3の実施形態を示す構成図である。

【図9】本発明による電子回路装置の第4の実施形態を示す構成図である。

【図10】本発明による電子回路装置の第5の実施形態を示す構成図である。

【図11】Pb-Sn共晶はんだの融点以上での濡れ性を評価した結果を示す図である。

【符号の説明】

- 1 半導体素子
- 2 パッケージ基板

:(9) 001-244622 (P2001-244622A)

- 3 メタライズ

4 Sn-Sbはんだ (第1のPbフリーはんだ)

5 パッケージと基板の封止メタライズ

6 パッケージ

7 導体

8 電子部品

9 基板

10 Sn-Ag-Cuはんだ (第2のPbフリーはんだ)

11 電子部品

12 リード

13 電子部品

14 基板

15 複合電子部品

16 Sn-Sbはんだ

17 リード

18 電子部品

19 リード

20 基板
- 21 Si半導体素子

22 MO基板

23 アルミナなどの基板

24 Sn-Agはんだ

25 Cu水冷ジャケット

26 メタライズ

27 ボンディングされたワイヤー

28 電子部品

29 リード

30 Sn-Agはんだ

31 Sn-Sbはんだ

32 基板

33 差込ピン

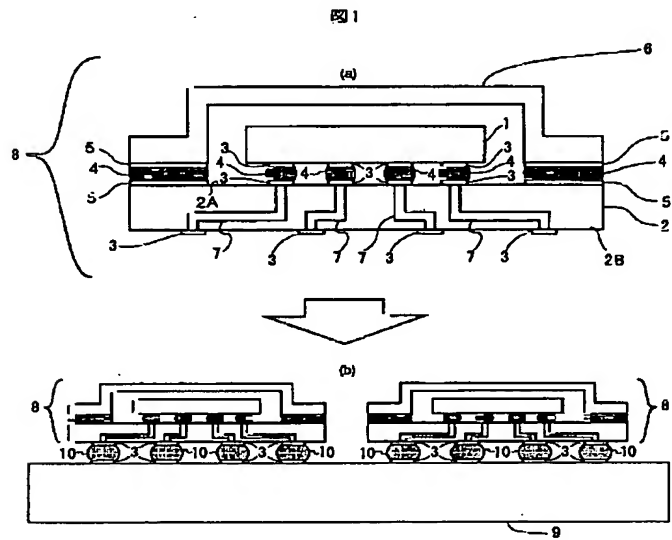
34 Au-20SnはんだあるいはAgろうなどの高融点はんだ (ろう)

35 複合電子部品

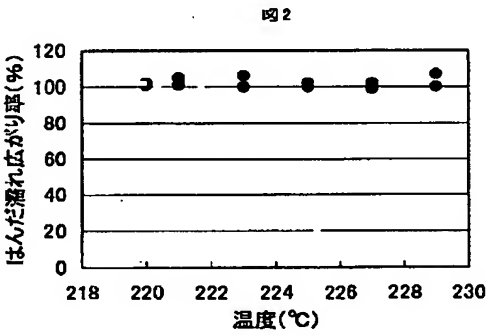
36 プリント基板

37 Sn-Ag-Biはんだ (第3のPbフリーはんだ)

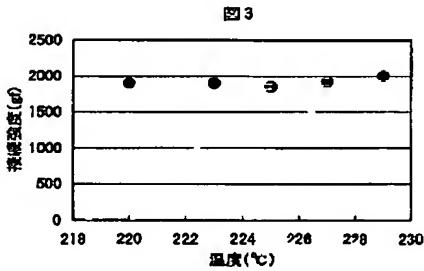
【図1】



【図2】

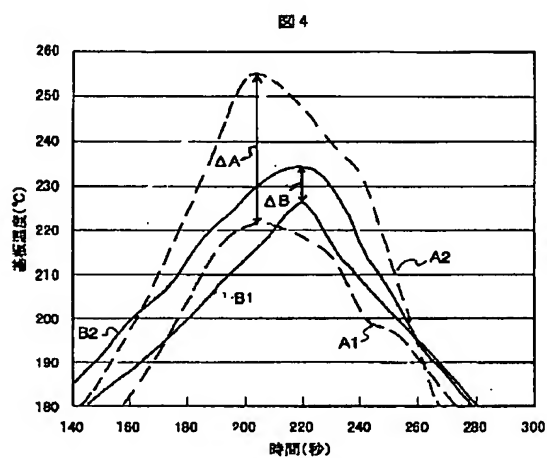


【図3】

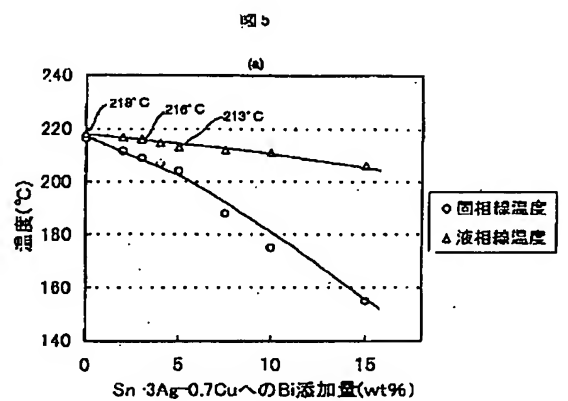


(01)01-244622(P2001-244622A)

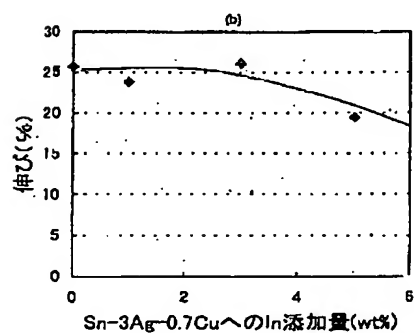
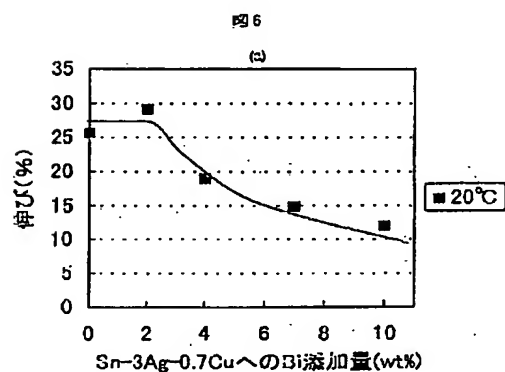
【図4】



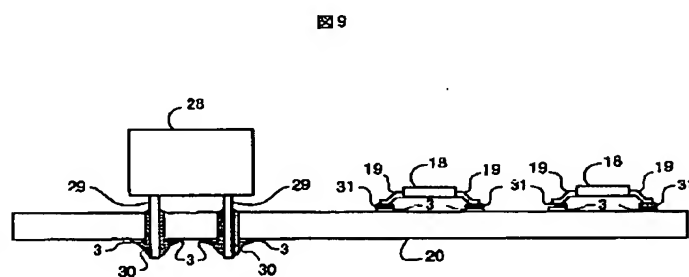
【図5】



【図6】



【図9】



(特 2) 01-244622 (P2001-244622A)

【図10】

